

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-277317

(43)Date of publication of application : 13.11.1990

(51)Int.Cl. H03L 3/00
H03B 5/30

(21)Application number : 01-099703 (71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

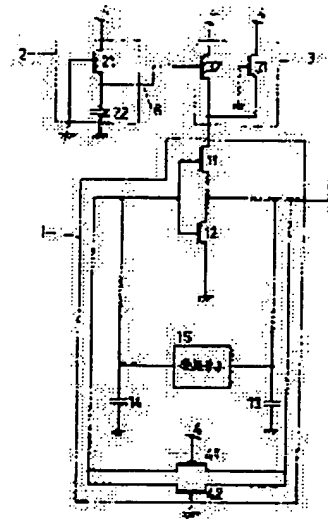
(22)Date of filing : 18.04.1989 (72)Inventor : HOSOKAWA YOSHIHIRO

(54) OSCILLATION CIRCUIT

(57)Abstract:

PURPOSE: To reduce the oscillation operating time and to attain low power consumption by providing an oscillation circuit main body, a delay signal generating circuit in response to application of power, and a resistance control circuit controlling a current of the oscillation circuit main body and decreasing the resistance at the start of oscillation and increasing the resistance after the oscillation is made stable.

CONSTITUTION: A level of an output terminal 6 of a delay signal generating circuit 2 is low immediately after application of a power supply 4, P-channel transistors (TRs) 31, 32 are both turned on, a large current is supplied to an oscillation circuit main body 1, which is oscillated. After a delay time elapses, the resistance of the TR 32 is gradually increased and only the TR 31 keeps the on-state.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平2-277317

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月13日

H 03 L 3/00
H 03 B 5/30E 8731-5 J
7922-5 J

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 発振回路

⑰ 特 願 平1-99703

⑱ 出 願 平1(1989)4月18日

⑯ 発 明 者 細 川 義 浩 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑰ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑱ 代 理 人 弁理士 宮 井 暎 夫

明 細 書

1. 発明の名称

発振回路

2. 特許請求の範囲

発振回路本体と、この発振回路本体の発振動作が電源投入後安定するまでの時間以上の遅延時間を有する遅延信号を電源投入に反応して発生する遅延信号発生回路と、この遅延信号発生回路から出力される遅延信号に応じて抵抗値を変化させることにより電流供給源から前記発振回路本体へ供給する電流を制御する抵抗制御回路とを備え、

前記抵抗制御回路は、前記遅延信号に応じて、前記発振回路本体の発振開始時には抵抗値を小さくして前記発振回路本体へ大きな電流を供給し、前記発振回路本体の発振安定後には抵抗値を大きくして前記発振回路本体へ供給する電流を発振維持可能な最小限の値まで絞り込むようにした発振回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、例えばマイクロコンピュータ等の情報処理用の集積回路に対してクロック信号を供給する発振回路に関するものである。


(従 来 の 技 術)

近年、マイクロコンピュータ等の情報処理装置では、情報処理速度を益々高速化し、かつ消費電力を益々減少させることが要求される。特に、電池電源を使用する場合には、低消費電力化は不可欠である。また、情報処理装置等は、使用しない時はスタンバイモードに設定され、これに伴って発振回路もストップ状態にして極力消費電力を少なくする。そして、情報処理装置等の使用状態では、できるだけ速やかに発振回路の発振動作を開始させて情報処理装置等を動作状態に移行させることが必要である。

(発明が解決しようとする課題)

発振回路の電源投入後の発振動作の立ち上がり時間を短くするには、従来は、発振回路の能力を大きくし、接続される水晶振動子やセラミック発振素子等の発振素子に供給するエネルギーを大きく

することが必要である。

しかしながら、ように発振素子に供給するエネルギーを増大させることは、消費電力を大きくすることにつながり、低消費電力化に逆行することになる。したがって、発振回路の発振動作の立ち上がり時間の短縮と低消費電力化とを両方満足させることはきわめて困難であった。

この発明の目的は、発振動作の立ち上がり時間の短縮と低消費電力化とを両方とも達成することができる発振回路を提供することである。

〔課題を解決するための手段〕

この発明の発振回路は、発振回路本体と電源投入にตอบสนองして遅延信号を発生する遅延信号発生回路と遅延信号に応じて抵抗値を変化させることにより電流供給源から発振回路本体へ供給する電流を制御する抵抗制御回路とを設けている。

遅延信号発生回路は、遅延信号として、発振回路本体の発振動作が電源投入後安定するまでの時間以上の遅延時間を有するものを発生する。また、抵抗制御回路は、遅延信号に応じて、発振回路本

体の発振開始時には抵抗値を小さくして発振回路本体へ大きな電流を供給し、発振回路本体の発振安定後には抵抗値を大きくして発振回路本体へ供給する電流を発振維持可能な最小限の値まで絞込むようにしている。

〔作 用〕

この発明の構成においては、遅延信号により、抵抗制御回路は、発振回路本体の発振開始時には、抵抗値を小さくして発振回路本体へ供給する電流を大きくする。この結果、発振回路本体は、大きい電流が供給され、発振動作が速やかに立ち上がることになる。

また、発振回路本体の発振動作が安定した後は、抵抗制御回路は、抵抗値を大きくすることにより、発振回路本体に供給する電流値を発振回路本体が発振を維持できる最小値近傍まで絞込むことになる。

〔実 施 例〕

第1図はこの発明の一実施例の発振回路の構成を示すブロック図である。

第1図の発振回路は、インバータ等から構成される発振回路本体1と電源投入にตอบสนองして遅延信号を発生する遅延信号発生回路2とを設け、遅延信号に応じて電流供給源4から発振回路本体1への給電路中に設けた可変抵抗の抵抗値を変化させることにより電流供給源4から発振回路本体1へ供給する電流を制御する抵抗制御回路3を設けている。

この場合、遅延信号発生回路2は、遅延信号として、発振回路本体1の発振動作が電源投入後安定するまでの時間以上の遅延時間を有するものを発生する。また、抵抗制御回路3は、遅延信号に応じて、発振回路本体1の発振開始時には、電流供給源4から発振回路本体1への給電路中に設けた可変抵抗の抵抗値を小さくして発振回路本体1へ大きな電流を供給し、発振回路本体1の発振安定後には上記可変抵抗の抵抗値を大きくして発振回路本体1へ供給する電流を発振維持可能な最小限の値まで絞込むようにしている。

5は発振信号の出力端子であり、ここから出力

される発振信号は、例えばインバータで波形整形された後、クロック信号として利用される。6は遅延信号の出力端子である。

この発振回路では、電源投入にตอบสนองして遅延信号発生回路2の出力端子6から発生する遅延信号により、抵抗制御回路3は、電源投入後の発振回路本体1の発振開始時には、可変抵抗の抵抗値を小さくして発振回路本体1へ供給する電流を大きくする。この結果、発振回路本体1は、電流供給源4から大きい電流が供給され、発振動作が速やかに立ち上がることになり、発振動作の立ち上がり時間が短縮される。

また、電源投入後所定時間が経過して発振回路本体1の発振動作が安定した後は、抵抗制御回路3は、可変抵抗の抵抗値を大きくすることにより、発振回路本体1に供給する電流値を発振回路本体1が発振を維持できる最小値近傍まで絞込むことになる。この結果、発振回路本体1は、発振動作の安定後は、消費電力が最小限に抑制されることになる。

このように、この発振回路は、発振動作の立ち上がり時間を短縮することができるとともに、低消費電力化を達成できるため、高速、低消費電力の情報処理装置等へのクロック信号の供給回路として好適である。

第2図は第1図に示した発振回路における各部の信号波形の一例を示す波形図であり、 V_4 は電流供給源4の電圧であり、 V_5 は発振回路本体1の出力端子5より得られる発振信号(電圧)であり、 V_6 は遅延信号発生回路2の出力端子6より得られる遅延信号(電圧)である。

以下、第2図を参照して発振回路の動作を説明する。電源投入すると、電流供給源4の電圧 V_4 は速やかに立ち上がり、一定値に達する。この電流供給源4の電圧 V_4 がある値以上になると、発振回路本体1が発振動作を開始して振幅が増大する発振信号 V_5 が得られる。この際、発振信号 V_5 の振幅の増大速度、すなわち発振動作の立ち上がり時間は、遅延信号 V_6 が低く、したがって抵抗制御回路3の可変抵抗の抵抗値が低いことから、

7

であり、これらが遅延信号発生回路2を構成する。この場合、遅延時間の値は、Pチャンネルトランジスタ21および容量22の値を変化させることで制御することができ、LSI化の問題はない。

さらに、31および32は、それぞれPチャンネルトランジスタで、各々抵抗としての作用を有し、これらは抵抗制御回路3を構成する。

その動作は以下のとおりである。電源投入直後は、遅延信号発生回路2の出力端子6から得られる遅延信号 V_6 。(第2図参照)がローレベルであり、Pチャンネルトランジスタ31、32は両方ともオン状態である。このため、電流供給源4から発振回路本体1へPチャンネルトランジスタ31、32の両方を通して給電されることになり、したがって発振回路本体1へは大きい電流が供給されることになる。この結果、発振回路本体1の発振動作の立ち上がり時間は短くなる。

発振回路本体1の発振開始後、遅延信号 V_6 が徐々に上昇し、ある遅延時間が経過すると、遅延信号 V_6 がハイレベルになる。このとき、Pチャ

十分に早いものである。

その後、上記遅延信号 V_6 の増大は、発振回路本体1の発振動作の安定後、遅延信号 V_6 の上昇に伴う抵抗制御回路3の可変抵抗の抵抗値の増大によって減少し、パワーダウンする。このときの振幅は、次段の例えば分周回路を駆動できる大きさであればよい。

第3図は第1図のブロックを具体化した回路を示す回路図である。

第3図はCMOS回路の場合の回路例を示す。同図において、11はPチャンネルトランジスタで、12はNチャンネルトランジスタ12で、これらは発振用のインバータを構成している。13および14はそれぞれ容量、15は水晶振動子またはセラミック発振子等の発振素子、41および42はそれぞれ発振の帰還抵抗を形成するNチャンネルトランジスタおよびPチャンネルトランジスタであり、これらが発振回路本体1を構成する。

また、21は遅延時間形成用のPチャンネルトランジスタ、22は酸化膜により形成される容量

8

ンネルトランジスタ32は、オン状態から抵抗値を徐々に増加させ、ついには遮断し、Pチャンネルトランジスタ31のみがオン状態を保持することになる。したがって、発振回路本体1へ供給される電流は、Pチャンネルトランジスタ31を通して供給される電流のみとなる。このPチャンネルトランジスタ31を通して供給される電流を発振回路本体1が発振を維持可能な最小限の値に設計することにより、発振回路本体1の安定発振時の消費電力を最小限に抑えることができる。

上記実施例では、CMOS回路に適用したものを示したが、もちろんこの発明の回路構成は、NMOS回路およびPMOS回路にも適用できることはいふまでもない。

また、発振回路本体1、遅延信号発生回路2および抵抗制御回路3の具体回路は、第3図の回路に限定されることはなく、適用される集積回路の各回路形式に応じて適宜設計されるものである。

(発明の効果)

この発明の発振回路によれば、発振開始時には

9

発振回路本体へ大きな電流を供給することにより
発振動作の立ち上り時間を短縮することができ、
かつ発振が安定した後は発振回路本体へ供給す
る電流を制限することにより使用時の消費電力を
小さくすることができる。

4. 図面の簡単な説明

第1図はこの発振回路の一実施例の発振回路の構成
を示すブロック図、第2図は第1図の回路の各部
の波形図、第3図は第1図の各ブロックを具体化
した回路図を示す回路図である。

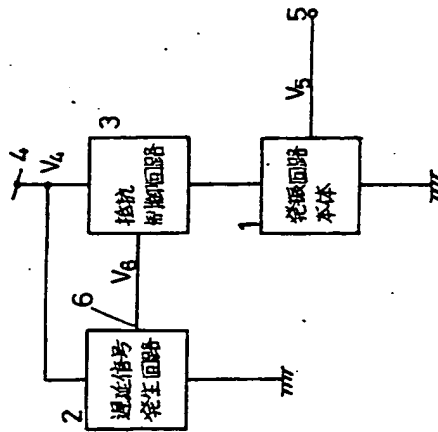
1…発振回路本体、2…可変抵抗回路、4…電
源、6…遅延回路

特許出願人 松下電器産業株式会社
代理人 弁理士 宮井 啓夫

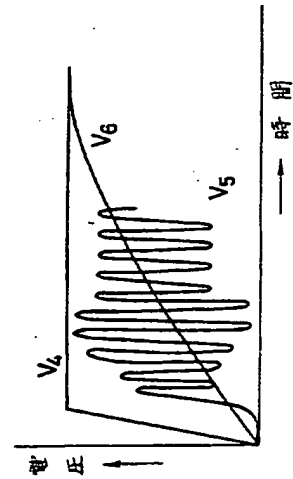
夫圖弁理士
印監士

11

第 1 図



第 2 図



第 3 図

